

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PAT-NO: JP402203549A

DOCUMENT-IDENTIFIER: JP 02203549 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: August 13, 1990

INVENTOR-INFORMATION:

NAME

TANAKA, MITSUO

KANDA, AKIHIRO

HIRAI, TAKEHIRO

FUJITA, YOSHIRO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC IND CO LTD

N/A

APPL-NO: JP01024178

APPL-DATE: February 2, 1989

INT-CL (IPC): H01L021/76

US-CL-CURRENT: 438/427, 438/FOR.227

ABSTRACT:

PURPOSE: To prevent the generation of stress in an active region
by a method

wherein, after a comparative thick oxide film is formed on a semiconductor substrate, and an isolation trench is formed, a silicon nitride film is deposited on the whole surface, a crystal silicon film is buried in the isolation trench, and the surface is oxidized.

CONSTITUTION: After a buried layer 12, an epitaxial layer 13, and a thermal oxide layer 14 are formed on a semiconductor substrate 11, an element isolation trench 15 is formed by dry etching. An oxide film 16 is formed, and a channel stopper region 17 is formed by ion-implanting high concentration boron. At this time, a silicon nitride film 18 is deposited; a polycrystalline silicon film 19 is deposited; the polycrystalline silicon film 19 except the isolation trench is eliminated by etching; the polycrystalline silicon film 19 is buried only in the isolation trench 15. Next, an oxide film 20 is formed on the surface; by using the silicon nitride film 18, an oxide film 20 is formed only in the isolation trench 15, thereby obtaining an element isolation structure having no recess in the vicinity of the surface, and obtaining a state where stress is scarcely applied in an active region 21 after element isolation process is finished.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A) 平2-203549

⑤ Int. Cl.⁹

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)8月13日

H 01 L 21/76

L

7638-5F

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-24178

⑰ 出 願 平1(1989)2月2日

⑱ 発 明 者	田 中	光 男	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	神 田	彰 弘	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	平 井	健 裕	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	藤 田	良 郎	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 出 願 人	松下電器産業株式会社			大阪府門真市大字門真1006番地
⑳ 代 理 人	弁理士 栗野 重孝			外1名

明 細 書

1、発明の名称

半導体装置の製造方法

2、特許請求の範囲

(1) 半導体基板上に、絶縁膜を形成する工程、前記絶縁膜及び半導体基板を選択的にエッチングし、凹部を形成する工程、前記凹部に所定の厚さの酸化膜を形成する工程、前記凹部内の酸化膜を形成後、酸化防止膜を堆積する工程、前期酸化防止膜上に半導体薄膜を堆積する工程、前記半導体薄膜を選択的に除去して、前記凹部にのみ前記半導体薄膜を残す工程を含み、前記基板表面上の絶縁膜が、前記凹部上の絶縁膜の膜厚とほぼ等しいことを特徴とする半導体装置の製造方法。

(2) 半導体薄膜に多結晶シリコン膜を用いていることを特徴とする特許請求の範囲第1項に記載の半導体装置の製造方法。

3、発明の詳細な説明

産業上の利用分野

本発明は、半導体装置の製造方法、特に半導体

装置の素子分離領域の形成方法に関するものである。

従来の技術

従来、半導体装置の製造における素子分離領域の形成方法として、素子分離領域となるべき部分をエッチングして溝を形成した後、溝内を酸化し、溝内に多結晶シリコン膜を埋め込んだ後、溝表面、及び溝の近傍を選択的に酸化して素子分離領域を形成するという方法がある。その従来技術の一例を第2図により説明する。

半導体基板(Si) 1上に、シリコン酸化膜(SiO₂) 2、シリコン窒化膜(Si₃N₄) 3を形成した後、レジストをマスクにしてエッチングを行い、分離溝4を形成する。(第2図(a))

レジスト除去後、溝内表面を酸化して酸化膜5を形成する。その後、不純物イオンを注入し、基板凹部の底部にチャネルストッパ6を形成した後、多結晶シリコン膜7を基板上全面に堆積した後、ドライエッチ等により、基板凹部以外に堆積された多結晶シリコン膜7を除去し、基板凹部のみに、

多結晶シリコン膜7を埋め込む。(第2図(b))

その後、ホトマスクを用いてシリコン窒化膜3のパターン出しを行い、溝上部、及び溝近傍を熱酸化して、表面酸化膜8を形成して素子分離領域を完成する。(第2図(c))

発明が解決しようとする課題

従来例においては、表面酸化膜8を形成する際に、溝内の酸化膜の近傍の多結晶シリコン膜7、及び半導体基板シリコン1のところで酸化が他の部分よりも速く進行し、この部分に、vertical birds beak9が発生する。(第2図(c))このvertical birds beakの発生によって、分離溝によって囲まれた活性領域内に大きな圧縮ストレスが発生して、活性領域のシリコンに結晶欠陥が発生し、素子を形成したときに、リーク電流が増大するという問題点が発生した。

また、半導体素子が微細になるにつれて、このvertical birds beakによる活性領域の圧縮ストレスは大きくなり、微細な半導体素子を形成することを不可能にしている。

膜を形成し、シリコン窒化膜を堆積してから、多結晶シリコン膜を埋め込み、最適な膜厚だけ熱酸化を行うと、シリコン窒化膜が酸化防止膜であるので、分離溝上部にのみ酸化膜が形成され、かつvertical birds beakは発生しない。この時、分離溝によって囲まれた活性領域には、多結晶シリコン膜の酸化によって起こる堆積膨張によって適度に圧縮ストレスが加わり、素子分離工程を経た後、活性領域中にはストレスがほとんどかからないようになる。この場合、分離溝によって囲まれた領域が小さくなっても、最初に形成した酸化膜と、分離溝上部の熱酸化によって発生するストレスの影響が釣り合い、活性領域中にストレスは発生しなくなる。

また、分離溝の上部のみに熱酸化膜が形成されるので、分離溝の部分にくぼみは発生せず、平坦な素子分離構造を得ることができる。

実施例

第1図の工程図にそって本発明の1実施例の説明を行う。P形Si基板11上に、n⁺埋め込み層

さらに、多結晶シリコン膜7を分離溝内に埋め込む際に、半導体基板1の表面と同じ高さとなるように埋め込むことは非常に難しく、分離溝内の多結晶シリコン膜7の方が、基板表面よりも低くなりやすく、分離溝表面を酸化した際に、分離溝の部分が周囲に比べて落ち込んでしまい、Al配線の断線、あるいはエッチングの際のAl残りによる短絡という問題も発生した。

課題を解決するための手段

本発明は上記問題に鑑みなされたもので、半導体基板表面に比較的厚い酸化膜を形成し、分離溝を形成後、全面にシリコン窒化膜を堆積してから、分離溝内に多結晶シリコン膜を埋め込み、最適な膜厚の表面酸化を行うものである。

作用

半導体基板上に、比較的厚い酸化膜を形成し、レジストをマスクにして、酸化膜と半導体基板をエッチングして分離溝を形成する。この時、分離溝によって囲まれた活性領域には、引っ張りストレスが発生する。この後、分離溝内の表面に酸化

12、例えば厚さ2 μ mのn形エピタキシャル層13を形成し、例えば厚さ600nmの熱酸化膜14を形成する。この後、ホトレジストをマスクにドライエッチを行い、Si基板11を約3 μ mの深さまで掘り下げ、素子分離溝15を形成する。(第1図(a))

次に、溝底部と側面部を酸化し、酸化膜16を約100nm形成し、分離溝底部に高濃度のボロンのイオン注入を行い、溝15底部にチャネルストップ領域17を形成する。この後、酸化防止膜としてシリコン窒化膜18を約120nm堆積させ、多結晶シリコン膜19を約2 μ m堆積させて、ドライエッチあるいは、ウェットエッチによって、分離溝以外の多結晶シリコン膜19を除去して、分離溝内のみに、表面との段差ができるだけ小さくなるように多結晶シリコン膜19を埋め込む。

(第1図(b))

次に、表面に厚さ600nmの酸化膜20を形成すると、酸化防止膜であるシリコン窒化膜があるため、分離溝の部分にのみ酸化膜が形成されて、

表面にくぼみのない素子分離構造を作ることができる。(第1図(c))

この時、vertical birds beakが発生しないので活性領域21中に大きな圧縮ストレスは加わらず、多結晶シリコン膜19の表面酸化の時に活性領域21に加わる圧縮ストレスと、活性領域21上の厚い熱酸化膜14によって活性領域21に加わる引っ張りストレスとが均衡しあい、活性領域21中にはストレスはほとんどかからない状態になる。つまり、この素子分離工程の間では、活性領域21内に発生するストレスは、分離溝15形成の時に、600nmの熱酸化膜によって活性領域21中に発生する引っ張りストレスを打ち消すように変化して行き、素子分離工程終了後、活性領域21中にほとんどストレスのかかっていない状態になるため、活性領域21中に結晶欠陥は発生しにくく、結晶欠陥によって起こるリーク電流は少なくなり、この領域に半導体素子を作ることが可能となる。

また、活性領域が微細化しても、活性領域中に

加わるストレスは、同様に引っ張りストレスと圧縮ストレスとが互いにつり合うように加わって行くため、結果として非常に小さなストレスが活性領域に加わるようになるため、この部分に微細な半導体素子を作ることが可能となる。

発明の効果

以上のように本発明によれば、素子分離工程によって活性領域に加わるストレスを活性領域が小さな場合でも非常に小さくすることができるので、半導体素子(例えば、バイポーラトランジスタ、MOSトランジスタなど)を微細な活性領域内に形成することが可能となり、また、分離溝の部分にくぼみが発生しないので、A1配線等の断線、短絡がおこらず、さらに、厚い熱酸化膜を用いているので配線容量が少なくなり、高密度、高速、かつ高歩留な半導体集積回路の製造に大きく寄与するものである。

4. 図面の簡単な説明

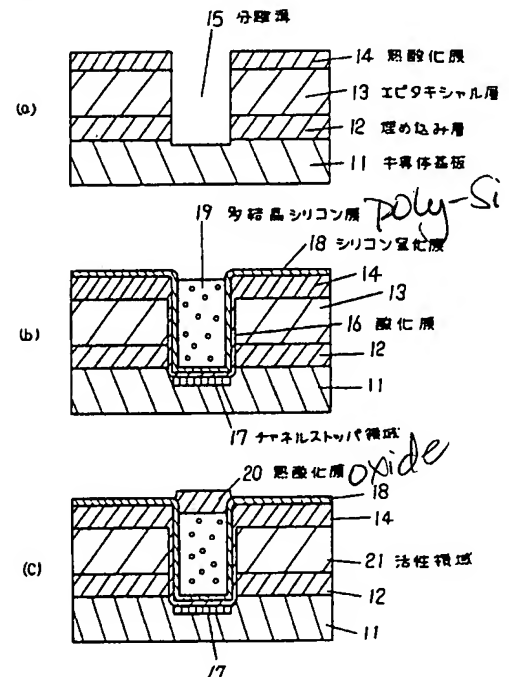
第1図は本発明の1実施例の分離構造の形成工程断面図、第2図は従来例における分離構造の形

成工程断面図である。

11・・・半導体基板、12・・・埋め込み層、13・・・エピタキシャル層、14・・・熱酸化膜、15・・・分離層、16・・・酸化膜、17・・・チャネルストップ領域、18・・・シリコン窒化膜、19・・・多結晶シリコン膜、20・・・熱酸化膜、21・・・活性領域。

代理人の氏名 弁理士 栗野重孝 ほか1名

第1図



第 2 図

